20240721记录

初步更新了各个开关管的ZVS开通电流，还需进一步计算D、M和fai的关系式子，再用图表示。

再计算有功功率和视在功率的表达式，用图表示。

20240724记录

更新了全部开关的ZVS图表展示。下一步是debug RMS的matlab代码，数值计算并且画出RMS电流与D、M和fai的关系式。结合RMS电流应力最小和保证ZVS取最优的D、M和fai，进行测量验证，目的是达到较高的效率，以完成这个拓扑工作。

文章已经把图片全部加进去了，还可以把更新的图片也加进去。之后还需要撰写文章文字内容，编辑公式，添加参考文献。

另外还需要添加多电压输出的实验图，如果ZVS范围和RMS 电流取舍有最优结果也需要加进去。还需要把之前的于其他拓扑进行对比的表格加进去。

~~另外，用latex模板编辑，方便后续修改~~。

20240725记录

~~考虑backflow current到底是那一部分？~~（***φ>0.5, 1/2<φ<|D-½|+1/2***是最像正弦波的情况，但是移相过大明显电压和电流错位过多，无功更大）答：仅仅针对Vab的正负判断是否为负电流。

在Debug代码前发现表达式不够完善，所以发现Phi还需要分类讨论，遂增加phi关于D-1/2和1/2两个分割点的情况。更新了在D<0.5时的四种分类讨论情况，仿真画图，下一步是计算各个情况的MOS开关电流，更新之前未考虑移相分类的情况。还是继续Debug代码。

20240726记录

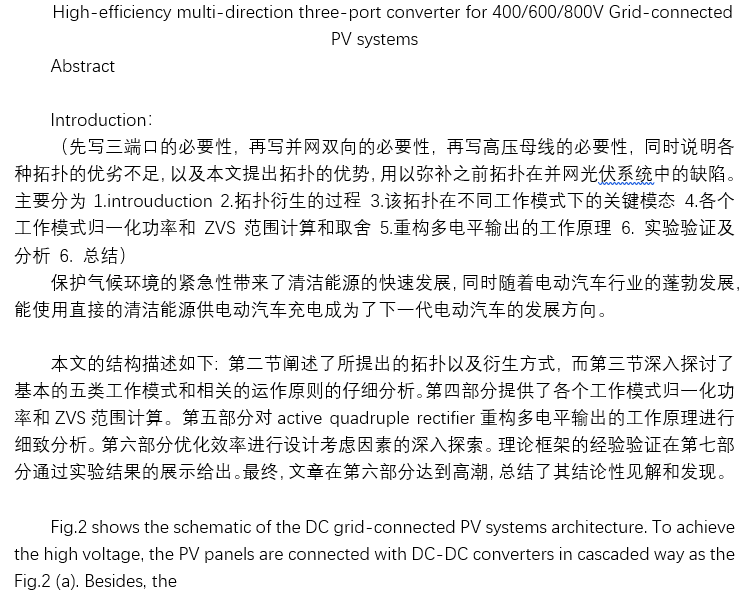
读论文Low-Ripple Low-Voltage-Drop Full-Wave Voltage Multipliers for High Voltage Generation， 是否因为输出电压降和输出纹波影响效率，因为之前实验的输出电压纹波很大全靠负载电源压住。该如何测试验证？初步想法是仿真负载为电阻，但是很明显达到稳态就不会有很大纹波。说明仿真不能完全复现实验的问题，那直接上实验，输出负载选择可变电阻，得到需要的输出电压。

代码已经完全注释了，接下来修改代码运算出自己的结果。注意不仅是phi要变化有四种，D也要变化有两种，如果不能用绝对值表示D，那么就要4\*2=八种。

20240816

完成intro，先写一版，不要害怕，第一版不用最求完美，之后在修改。

提纲是



可以考虑加上高压方式的列举对比和选择，细分到开关电容和倍压整流的关系和发展现状。

20240819

已完成paper初稿，但内容需要大改。

20240820

修改倍压和CW电路演化过程（结合开关电容思考如何画，参考相关paper），考虑三倍压的实现方式和可行性，输出电容是否能保持电压不放电。

修改ZVS范围图，之前只考虑了varphi的一种情况，现在四种情况都算出来了，应该更新下式子和范围图。

实验验证计算结果的实验，验证是否是ZVS，另外验证输出电压稳不稳

20240822

学了三天英语，晚间修改了几个拓扑图，包括直流微网图和六个工作模式图。

除了以下三点：

修改倍压和CW电路演化过程（结合开关电容思考如何画，参考相关paper），考虑三倍压的实现方式和可行性，输出电容是否能保持电压不放电。

修改ZVS范围图，之前只考虑了varphi的一种情况，现在四种情况都算出来了，应该更新下式子和范围图。

实验验证计算结果的实验，验证是否是ZVS，另外验证输出电压稳不稳

还需要思考图一三端口的引入方式，要虚构新颖和明晰，把拓扑图放图二。

20240825

实验验证精确计算出的在不同D和𝜑的环流大小和ZVS范围的正确性，验证最优的调制参数。这次测试由之前的𝜑=0.35降低到𝜑=0.1，但是上到150V时副边高压侧的vgs受影响，每个周期都有误关断，导致不能继续上升，但是在误关断时刻处并没有任何开关信号。

副边下管S6及其光耦会随高压升高而发热，其他开关管正常，换过光耦和S6还是发热，理应S5和S6会对称发热，考虑可能是其他元件参数影响例如电容或驱动电阻。

20240826

实验中副边串扰严重，升压到两百五十伏左右S8管升温到九十度，无法继续升压。

解决办法就是找到串扰消除串扰，或者直接重新设计一块板子。如果要重新设计，可以考虑分成两块板子设计在10\*10以内，节约成本。

20240831

接下来只能换板子，在等板子的同时可以测试之前的板子在连接副边信号地和功率地之后的表现，是否能解决串扰的问题。

重画板子的目的是解决原边的寄生过大带来的震荡问题，以及解决副边带来的串扰问题。分别通过增加主功率回路的铜厚和线径，以及通过更换四脚高压管解决。

细节改动：

* 原边增宽主动率回路的线径Ls1,3,5，还需要增加铜厚。
* 副边需要改进S5和D6的连线，之前版本过细易烧断（已解决，稍微增加了线径，还可以继续增加多留一些余量。继而可以删除之前预留的snubber，增加线径的余量）；增加信号地和功率地的连接（还未实验测试是否有消除串扰的作用）；以及副边需要改进S5和D6的连线。
* 如果不分别画两块板，增加5V供电和副边地之间的连接（已解决，增加了RGND电阻，0欧姆电阻）。

20240902

* 原边的snubber保留，预防在拓宽线径后还是有震荡的问题。副边的snubber可以删除，因为副边已经有并联电容，而且也比较容易实现ZVS；如果在减小移相的情况下是硬开关，还是留下snubber。
* 已加入隔离驱动UCC5350MC、数字隔离器Si8662（不确定需不需要数字隔离。不加。）和驱动电源R15P21503D
* 电容值为什么标1U、0.1U？电阻值标1R？
* 还需要布局两个板子

20240903

* 布局了复用图块。
* 不用数字隔离。直接将PWM信号作为给驱动的输入。是否需要3.3V等其他输入？
* PQ6562磁芯放大200倍的作用，是否也是不需要的？
* Page2的VP+15V由谁提供？

20240904

* 焊原来的板子，找自己全桥的问题，修好震荡
* 副边布局完成
* 两块板子都画完

20240905

原边细节：驱动的电容CF1-4不需要，加上100nF的CF1-4后，PWM信号会被放电。

增加了线径Ls1,3，还是有震荡，考虑直接减小功率环路。减小了环路，但是震荡还在。换个新全桥板。

在最后尝试在MOS两端加电容，S2的电容异常表现：只要S1和2交替导通，加在S2两端的电容和0欧电阻就有大电流发烫。还未查清什么原因。

2024096

想重新画原边的全桥，但是先不管0欧电阻就有大电流发烫和震荡的问题，先上功率测试一下改进的原边。

副边第三个管子S7驱动电阻发烫，光耦的驱动信号都正常，还未查明原因。换了7和8的管子，正常工作，怀疑是之前的S7焊接问题。

目前副边驱动正常，但是直接上电直接到限流值，怀疑副边还有其他地方短路。实在不行换新的副边板子。（之前加的信号地和功率地的连接还没测试是否有抗串扰的效果）

20240908

必须把板子画完。

副边改进，遇到的问题是串扰导致误关断。两个解决方案，在原来板子的基础上连接信号地和功率地（有待测试直接验证。验证快且成本低），第二个解决方案是换更可靠的MOS，例如wolfspeed 的22KW的MOS选型是GC3M0032120K的四脚MOS（VDS 1200 V，ID @ 25˚C 63 A，RDS(on) 32 mΩ），但需要考虑Vds已经1200V了输出只做800V是否大材小用，并且每个MOS由于倍压整流只需要承受400V的耐压，裕量可能过多。

副边如果在原来的基础上需要改进的走线包括，S5到D6的走线（G5下方的铺铜过小）。

副边D7和D8导通，寻找短路点，重新焊接S7，D7和D8没问题。又出现了S7驱动电阻发烫。

读论文进一步明确该拓扑的创新性和可行性：

* 高转换比： 该转换器在不需要高匝比变压器的情况下实现了高电压转换比。
* 无纹波电流： 通过固定占空比为0.5的主动钳位推挽电路，在低电压侧产生无纹波电流。
* 对称操作： 转换器在两个功率流向方向上的电流和电压波形完全对称，简化了设计和操作。
* 小型磁芯尺寸：高压侧的开关使用阻止了磁化电流流过谐振电感器，允许使用更小的磁芯尺寸

进一步的创新点：

* 直观上可以看出的创新点是将被动倍压整流换为主动倍压整流
* 在此基础上可以进一步创新，不需要增加元件仅通过调制使得倍压功能多两个等级
* 通过调制和器件参数优化达到各个工作状态下的最优的效率点

另外总结了两篇电流反馈DAB论文，和两篇CW电路论文。

20240909

完成板子设计，上功率看看效果。

* 副边导通的问题解决了，是因为管脚和普通短路了，除去一些铺铜即可。
* 副边辅助电源的15V不稳，导致驱动信号不稳。驱动不稳是测量问题，接地线过长。
* 副边驱动和MOS都正常。但不能正常工作，直接上电压空载有短路。上2V电压有了一个2A的电流，之后就没有这问题了，没有电流了。
* 副边的工作还是不正常，空载应该出现方波，但是只出现负电平，推测是MOS和电容的问题，或者是PCB线径有短路。
* D6网络大面积铺铜是不合适的，D6点与该网络的其他点因为留下的铺铜不够大而断路，S5到D6的走线（G5下方的铺铜过小），C3-点位和S5点位即使有很大的铺铜也在狭小处断路了，需要重新设计副边回布局和分层.
* 已经完成画板，连线再考虑优化即可

20240910

* 副边AGND和SGND是否需要是否能合并为一个地。（都是信号地理论上可以）
* 关注其他主动四倍压的八个元器件的布局，关注效率优势
* 效率比较的时候，一方面是比高升降压converter的效率（偏低），一方面是各种三端口的效率（偏高）
* 把审稿文章的两篇相关比较统计一下
* 把Koteswara, *Visvesvaraya National Institute of Technology*, *TPEL*, 2023相关比较统计一下
* 原边底层散热是需要考虑的，所以把原边MOS放在底层
* 实验测一下小移相的效率
* 原边测试点设计好
* 直接用集成的两个半桥
* 副边重画，功率回路绕太多了

20240911

* 副边6管G端在功率环路内，为的是使得整体功率环路整齐，不确定是否对G6信号有影响。G6信号在背面，正面跨过D6和D8高频点。
* 副边输入铺铜连接处比较细
* ~~已经送出打板~~
* 完成introduction部分
* 先完整调研相关论文修改雷达图更美观
* ~~总结了“Voltage Quadrupler topology”部分文献四篇~~
* 还需要总结四倍压的演化过程来龙去脉，二倍演化三倍四倍，以及拓展成更高的倍数，包括CW电路演化过程
* 再考虑倍压电路和堆叠桥和开关电容之间的关系，除了电容电压的恒定和谐振还有什么联系
* intro分四个部分展开：原边三端口拓扑的比较和发展，中间变压器的磁设计，副边四倍压的来龙去脉以及重构不同的变压比分析和实验，以及改变控制和优化调制计算提升整体效率
* 仅仅通过调制实现重构不同的变压比分析还没找到相关文献
* 调制计算优化整体效率把非ZVS范围下的开关损耗和环流损耗加起来

20240912

* ~~画intro的图，需要放大IPOS系统中的一个模块，IPOS的原边是通过什么并联输入的，目前有直接一个光伏板并联，多个光伏板同时并联，多个光伏板通过实现MPPT的converter再连接母线，母线作为并联端口的输入。~~
* ~~Intro的图还要体现三端口的集成特性，电池端口可以画在整个IPOS系统上画一个，~~或者是每个模块中画一个电池端口，就是IPOS系统中画一个和n个的区别。
* ~~电池和光伏画在层叠之上，有没有可能将converter画成立体的三棱柱，便于展示~~
* ~~已画完intro第一幅图（主要是调整圆角只能在有框线的情况下对线进行调整，从而图才能调整）~~
* 接着写intro
* 主体分析内容完成
* 画原边，尽量减小震荡
* 既然画了高压IPOS系统，可以仿真验证该系统的可行性
* 拓展倍压的图，因为要适用于更高压系统，提升倍压是否有效
* DAB的高频链模型能否分析该拓扑
* DAB的轻载丢失ZVS是否能用倍压实现，低压侧有更大的负电流，而高压侧即使硬开关因为电流小带来的导通损耗也小。那么就可以定量再分析。
* 调研文章和美化雷达图，已经调研文章至表格中，新添了 VQ的对比，可以在文献VQ分类中找到细节继续填充，填充之后进行可视化雷达图展示。如果要做对比，也可以分为三端口converter的效率和高升压比的converter两种分类比较。
* 美化过程可以考虑记录技术笔记，oigin还不是很熟悉。
* 再看一下Kolar组Jordi Everts的DAB AC-DC converter分析
* 总结Hans Wouters的OBC文章的预测趋势

20240913

* 第二部分可以命名“PROPOSED TOPOLOGY AND ANALYSIS”，分析衍生拓扑来龙去脉
* 分析图还要美化
* 板子14号中午才能到，而且还是沉金板，高压管的DS之间多铺了铜，这一版可能要放弃。常规板沉锡板今日下午两点还未发货差最后一步，预计四五点能发货，那么最快也要14号晚上到货，改签到15号再离沪。
* 可以先画原边板两个，一个是延用原贴片MOS，需要更改线径以及回路。另一个是集成的英诺赛科的半桥ISG2301，rds更小，功率密度也可以更小
* 给屯特套磁，完成套磁信，修改简历
* 调压模式的可能性，连续变压的可能性
* 原边的BST管脚内置电容，内置有部署充电逻辑从VCC取电，有必要的话可以跟SW可连接电容，电容充电使得SW点不为负电压，防止上管烧坏。
* 考虑原边输入的方向，以两个半桥横放为参考点，两个半桥SW点输出都在右方。输入和信号都最好在左方
* 做实验的时候还要注意原副边的地是否共地了。
* 原边已经布局布线好了，待优化。
* 20240914
* 早上八点半板子就到了，焊接并测试
* 原边调整输入和测试的方向位置
* 下午测试和周报
* 调试远程桌面
* 完成论文补充周报
* 副边的驱动发烫，两个同时发烫直达限流。应该不是损坏，是哪里短路了，电阻焊接正常。
* 20240916
* 画原边板子，两个输入位置已经更改好了
* 电容引脚序号不对，待修改，并修改丝印
* 完成intro和全文并润色
* 完成美化图
* 原边铺地，顶层和底层
* 原边板子已经画完，可以送出打板，差一个SW连接问题,已经解决

20240917

* 完成intro和全文并润色
* 完成美化雷达图，若没想好美化，先修改QV的位置放最下面
* 完成周报

20240918

* ~~考虑推迟托福考试日子，或者再报一场~~。
* 完成论文所有部分
* ~~完成实验，至少是之前的原边板子和新的副边板子~~
* 新的原边板子还在生产，预计21号收到货
* 完成雷达图的美化
* 完成模态分析图重画
* 完成多电平重构的分析
* 完成元件参数设计分析
* 完成ZVS和Irms的统一计算
* 套磁信和择校搜索
* 原边半桥和全桥重构的可能性
* 原边画成IIOP结构，每个PV和电池单独连接converter，输出并联。光伏板模版不好拉伸，只能旋转，裁剪也无效。尝试PS画光伏板。
* 测试副边板子
* 副边的驱动发烫，两个同时发烫直达限流。应该不是损坏，是哪里短路了，电阻焊接正常。因为rigol连接的输入正负极画错。
* 原副边正常工作，准备上整个实验时，副边有一个管子没工作，rigol电流从0.22掉到0.2A，一个管子驱动5V0.02A，四个管子驱动0.08A，无信号需要rigol0.14A。
* Debug副边一个驱动突然出现的问题。从PWM信号到G7信号都正常，用探针接触光耦7的15V供电，又正常工作。
* 原边驱动电压13V，驱动电流在0.03到0.0.4A抖动，都是正常工作状态。
* 副边还是一样的驱动丢失问题，紧急换管子和驱动方案。
* 考虑IIOS结构，Guangfu Ning DOI: 10.1109/TPEL.2024.3440583的文章中即使提出了与IPOS对比的IIOS结构，但创新点不在于IIOS，在于子模块是集成的TPC，使得pv端口不需要单独的converter，两个converter变成一个conveter。所以创新点在于换了一个视角理解三端口。
* 副边多倍压结构可以实现MVDC，但是更少的模块每个模块就要更高的功率，实现输出更高的电压的同时，低压侧大电流损耗更大，需要权衡更高升压比和更大电流之间的取舍，同时也就是倍压系数和导通损耗之间的取舍关系，也可以是电压应力和rms 电流之间的取舍。
* 提出IIOS的idea，认真分析可行性和创新性，调研相关论文。追求分析完备。
* DAB的隔直电容的用处，是否需要预留，可以适当预留电容的位置。选择贴片CMLL电容，材质X7R，是否需要高压低压侧都用隔直电容，如果仅用低压侧成本更低。
* 副边真的上不去800V吗，明天再试一下，用坏所有管子即可，正好放弃这个版本。
* 副边已经画好的复用图块，还需要加两个buffer出四路信号，尽量设计在10\*10cm以内，管子GC3M0060065k, 隔离驱动UCC5350MCDWVR和辅助电源R15P21503D提供+15V和-3V，需要找新的辅助电源QA123C-1504R3提供+15V和-4V，可以下单或者蹭zhang的。
* 仔细研究TI的10KW的DAB。
* 明天把新的副边画好。
* 20240919
* 再次Debug副边，副边的一个驱动突然出现的问题。从PWM信号到G7信号都正常，用探针接触光耦7的15V供电，触碰五秒以上，又正常工作。怀疑是辅助电源5转15V不稳定，加电容稳压。已加电容，待测试。
* 副边能上200V以上，55W输入，输出44W，移相0.2.之前移相0.3, 15V转200V，功率输入37W，输出30W。
* 副边MOS发烫严重，可能只走了二极管。
* 可以上25V转400V，两边温度稳定在50度左右。驱动无异常。
* 想上整体800V，现在原边加散热片，防止过热。已经把铜刮掉，增加线束宽度。先测试再加散热片。
* 470V，72度，197W到180W；400V，180W到170W。
* 趁着吃完饭空闲时间把新的副边板子更新一下画完。回去一会儿，跑个步回来继续画。
* 跑了半小时步
* 提交了选调生报名系统
* 继续画板子
* 明天晚上提交套磁，不早了。
* 副边位置已经对称摆放好，铺铜不一定要像线径一样直接穿过，可以参考工业设计铺铜引个脚连接D或S
* 需要加上AGND的铺铜和信号输入端子
* 等新的原边板子继续上实验，同时投入新的副边板子

20240920

* 辅助电源输入5V，由CJ78M05供应商编号C9070使12V转5V提供，
* 已加入并摆放好所有原件，待布线。
* 布线完成。
* 移相减小，功率降低，所以需要调整电感，减小电感值。绕一个小一些的电感。原来是100uH左右，漏感30uH，电感60多uH。
* 改变副边布局位置对称。
* 听讲座和打球
* 移相定义是否需要改变，再考虑一下。
* 目前需要改变的是电感值，降低移相比，使得输出功率在标称值的0.8左右，降低电感值满足800V不变500W的功率。
* 新的科学问题，根据IIOS或者I^2S等结构提出新的控制策略，例如Xijian Huang的论文提出的控制策略https://ieeexplore.ieee.org/document/10553414。暂时担心的输出串联导致的高压端MOS耐压问题可以不考虑。
* 结合ZVS范围和Irms的值综合考虑，一个方案是用损耗相加，导通损耗就是环流rms在MOS电阻上的损耗，非ZVS的开关损耗不好计算，需要计算Coss放电损耗（一种是1/2\*CV^2，但电压值大小不一定是Vin，一种是计算MOS电流和Vds交叠面积与时间的积分）。另一个方案比较简单，直接在ZVS范围内考虑最小环流点连成的线，非ZVS范围不考虑不计算开关损耗。
* 齐纳二极管不用车规级的SZMMSZ4687T1G（2元一个）可以用MMSZ4687T1G（0.2元一个）
* 注意在工业产品布线中MOS-GC3M0060065K的D脚连线较宽，S脚不需要这么宽。
* 陶瓷信不要拖延。
* 找学长谈一下考公的规划和前景。
* 布局好了新对称板子，待布线。
* 20240921
* 完成布线
* 陶瓷信
* 写演讲稿子和ppt
* 信号线的附近没有铺地，已经铺上，并送出打板。

20240922

* 接下来拿到新的原边板子，上全功率实验。完成需要实验图。完成所有工作。

20240923

* 焊好了新的原边ISG的板子，驱动正常，上功率到10转160V时原边下桥臂有急剧升温，第二次在15V转220V左右才有急剧升温。副边正常，怀疑是副边的干扰让原边驱动不正常，但是没留原边gs的测试接口。已经添加新的接口，已送出打板。
* 可以继续上电，但是需要飞线将gs接口留出来，观察是否因为副边开关导致误关断。
* 写自由的人生演讲稿
* 明天可以继续上点或者分析写论文等板子

20240924

* 收集并申请五家学校的套磁
* 副边V3板到了，虽然目前V2板没有问题，但有空可以焊上V3板。
* 修改移相定义，大部分是定义中轴线移相；以及定义移相占比是占半周期还是全周期
* 科研结果需要互相展示得到认可，才能有进一步的动力
* 明天完成没完成的分析内容。论文图表修改。
* 熟悉演讲稿

20240925

* 统计完了相关调研，修改雷达图（不是很重要
* 修改移相和定义，结合ZVS和Irms
* 副边V3版本正常工作，可以上功率

20240926

* 上电全新两个板子，先上没测试点的原边
* 测试效果很好，上电两种，第一回死区150ns，20V转400V功率100多W效率在92以上。第二回19V转320V，上不去20V，因为下桥臂有震荡。
* 等新的原边板子测试gs
* 先测试原边的Vds，SW1和SW2,
* 高电流对最靠近主功率回路的DSP信号又干扰，误开通。即使换为距离较远的测试点输入，也有串扰。
* 修改铺地，减少大面积铺地，改为两个铺地。
* 在PWM信号处增加RC滤波。
* 增加预留控制开通速度的电阻接口。
* 最后画整个板子，集成板上驱动。

20240927

* 修改原边板并送出打板

20240928

* 修改简历并发出五封陶瓷信
* 修改PCB并送出打板，抓紧国庆之前的工作时间
* 完成论文主要内容，之后可以改成最终版本一体化
* 继续完成论文
* 测试雅思难度

20240929

* 继续完成论文
* tutorials待学习，已学一部分

20240930

* 帮波哥改论文
* 看ISOP论文
* 看高频链论文HFL

20241001休息

20241002

* 焊板子
* 已经按照原理图焊接完毕，待测试，以及整体测试
* 阅读论文：
* ADRC和DAB：[Fast Dynamic Control of Dual-Active-Bridge DC-DC Converter Based on an Adaptive Linear Extended State Observer](https://ieeexplore.ieee.org/abstract/document/10664052) （待查看，是否水文，ADRC在目前认知还是调参工具）
* 待看ISOP论文
* 待看高频链论文HFL

20241003

20241004

20241005

* 测试原边板子，明天就可以整体测试。
* 器件选型的极限是什么，比如原边GaN器件的极限和副边SiC的极限

20241006

* 为什么PWMS1即PWM7A口的下降沿缓慢，CCS的代码里没发现异常：7和8代码一样，但8没出现问题，故不必解决影响不大
* 原边第一次焊接完成即驱动测试正常
* 接下来需要人帮忙看着温度上电，或者自己上电边看着温度但是有稍许危险
* 修一个短路问题修了一个多小时，结果并没有什么问题，拆开再安装回去就正常了

20241007

* 英语学习一小时
* 论文写一小时
* 实验台测试一小时
* 测试IIOS仿真效果，阅读处理相关文献

### [System design and realization of a solar powered electric vehicle charging station](https://ieeexplore.ieee.org/abstract/document/8822448/) 的主题很合适介绍光储充的背景，需要挖掘更多相关文献资料

### 工作模式介绍的时候可以用各种V2G和PV2G

### 20241008

### 完成实验

### 完成论文

### 实验暂时不跟空气磁芯同时做，会被干扰很多。

### PV和Charge Station 内容不用太多，要精，主要是图一还可以优化，根据的是IIOS结构，以及根据车充内和外on board and off board，不同功率等级的高压母线架构

### ADRC论文还没细看，Kimi总结评价较好

### 可以继续关注DAB损耗的文章。另外拓展的研究方向可以是控制理论。

### 20241009

### 继续完成实验

### 驱动的一个信号PWM7A对应第一个驱动，下降沿缓慢，可能是源头就有问题，是DSP这个输出口PWM7A损坏

### 另外驱动异常，上桥臂发烫，可能是副边高压对原边驱动的影响，如何解决

### 副边也有缓慢下降和上升的驱动信号，但是加上杜邦线之后才有缓慢的信号，原信号正常下降沿和上升沿。不加杜邦线的PWM7A(即GS1信号源)下降沿delay约24ns，上升沿约3ns；不加杜邦线的PWM7B和8B(即GS2和GS4信号源)下降沿delay约3ns，上升沿约3ns; 加杜邦线的PWM7A(即GS1信号源)下降沿delay约220ns，上升沿约8ns；加杜邦线的PWM7A到8B上升沿一致，约8ns，加杜邦线的PWM7B到8B下降沿一致，约8ns。所以PWM7A有问题，因为对称的PWM7B正常，不是代码的原因。换成PWM5和6，测试不加杜邦线的输出，都正常在5ns左右。

### 调整PWM5和6与PWM1和2之间的移相，即原副边的移相。已经调整好，明天继续上电。

### 20241010

### 实验等台子空闲

### 测试原边波形异常，在中间波形出现对面开关误导通，怀疑是DSP的问题，换一个DSP

### Vab等于0，以为是管子的问题，其实是dsp跳线连接错误，已更正

### 更新了dsp，中间依然有误开通，但是依然不是因为开关信号引起的，较老版DSP的误开通时间提前了，接近副边开通时刻，但不是副边开通时刻。怀疑依然是dsp的问题，或者是过大的电压导致的dsp问题。原边电压12到15V电流2A左右，副边电压至180V左右波形异常。

### 20241011

### 添加散热片，准备直接上高压额定功率，因为之前的误开通并没有导致很严重的发热，还可以继续上功率在观察现象。

### 完成仿真

### 学习之前的ppt Tutorial

### 看完了Tutorial，知道了GaN会受到很多影响振铃过冲高频震荡和误导通，但还不明白要如何改进。[Optimizing PCB Layout for HV GaN Power Transistors](https://ieeexplore.ieee.org/document/10167536)

### 明天等板子散热安装好就可以上电继续实验，但同时改进板子。

### 20241012

### 继续上实验上高功率

20241013

* 跑步
* 休息日
* 明天可以继续上电

20241014

* 还是有ringing的问题，即误开通的问题，即使百分之一的误开通，相当于桥臂上下管导通短路，温升很快。上下管都发烫，几秒的时间就会上升到100度。相移为0.15时，上下ringing都有，相移为0.1时，只有vab 的正电压有ringing。
* 尝试了加辅电的稳压电容，改善效果不明显，还是有ringing
* 发热是因为四个管子同时开启，如果能消除ringing即可，这个ringing是副边高电压带来的。尝试改变移相：移相为0.15时，ringing距离副边开通200多ns，移相为0.1时，距离副边开通80ns左右。都不是开关动作直接带来的ringing，但都是副边高压带来的ringing。
* 尝试PWM加上Buffer升至5V，效果有稍微改善，只剩正电压时有ringing。
* 磁件设计：C.R. Sullivan的文章：[Accurate prediction of ferrite core loss with nonsinusoidal waveforms using only Steinmetz parameters](https://ieeexplore.ieee.org/abstract/document/1196712)和[Optimal choice for number of strands in a litz-wire transformer winding](https://ieeexplore.ieee.org/abstract/document/750181)
* David J. Perreault的著作[Principles of Power Electronics](https://books.google.com.hk/books?hl=en&lr=&id=YN_LEAAAQBAJ&oi=fnd&pg=PR15&dq=info:EdefNsBa-uIJ:scholar.google.com&ots=oK2FvRSJl_&sig=BZl7rENIaM6Ub3CDCjaHZvwIDew&redir_esc=y#v=onepage&q&f=false)
* 继续思考如何改善ringing
* 换了电感，还是一样的不知原因的ringing
* 增加移相再次上电，增加副边电流更容易ZVS，减少副边硬开关的ringing导致原边的影响。并没有改善，还是在230V发生ringing，继续上电也能上，只是温度从30到50度，说明是异常工作，还是要分析解决再上电。
* 晚上写好火箭回收技术的稿子。

20241016

* 梦见计算ZVS选取合适元件，具体梦中计算什么元件忘了。那么原边是大电流，只要有负电流即可实现ZVS，主要是副边在启动过程中的轻载情况下会硬开关，所以一个方法是增加副边的负电流。之前采取的是调制移相，用增大环流来实现，其实还可以减小电感来实现。尝试减小电感测试一下。
* 换了33uH的电感，效果没有改善，在140V上不去，开始ringing。功率加大电流加大但无济于事。说明更大的电流更早导致ringing，所以可以尝试更大的电感。
* 怀疑是SW1和2影响了PWM信号，ISG管子的左边有SW1和2的输出口，距离PWM输入口很近，当副边电压上去时，SW1和2的电压也上去，对PWM信号串扰.
* 改正了低通滤波，并没有改善
* 不用无源探头，不再出现ringing
* 而出现副边开关时刻的震荡
* 增大移相从0.1到0.2想增大环流，扩大副边ZVS的范围，但震荡电压的时刻更小了，之前0.1的移相在240V震荡，而现在0.2的移相在170V震荡
* 除去探头测试还是有震荡
* 已加偏置电容，待测试
* 待查看TI的10KWDAB设计
* 20241017
* 上英语课
* 上电，可以在之前10转160的位置稳住了，没有偏置影响，但在240V左右依然有副边开关时刻的震荡
* 改变增大（增大到0.2）副边死区，效果没改善，甚至在更早时刻就有震荡了.但也不可以更小（减小到0.05），ZVS范围更窄，需要更接近完全匹配，上电比较困难需要更细心.所以就选择0.1移相上电。
* 电脑接地，效果更恶劣，误开关更多。再次测试，接地的DSP可以没有工频纹波。
* 换一个原边板，可以上800V470多瓦，效率在95%，温度在60度。
* 测试效果很好，效率达到要求95.6%，发热不严重。效率还有提升空间：减小移相，ZVS范围还可以调；布局合理，线宽和线厚可调，减小寄生电感和减小电阻；MOS选型还可以选更合适的，这个是7.2毫欧，150V，管子可以选的更合适的；驱动还可以调，现在是光耦隔离的每个MOS单独驱动的。分为可调整和必要调整，必要调整的是线宽线厚度，可以在小板上改进，也可以整板一块更新。
* 下一步设计整个板子，挑选驱动，增大线径的宽和厚。做完所需要的实验。
* 同时写完论文，需要的实验图后期补上。
* 仿真IISO拓扑。
* 实验验证变结构的想法。

20241018

* 考虑做整板的设计，驱动再调研，之前的原边驱动高压上不了，但是对目前的低压是没问题的。可以再上反向电试试。
* 下午三点的英语课
* 下午两点的测评
* 今天晚上完成作文作业和阅读作业
* 论文图还需要美化调整，每一个图
* 开始写论文全篇

20241019

* 休息
* 听力课
* 资料 数量分析课

20241020

* 休息
* 口语课
* 作文作业

20241021

* 画整个板子，先选定驱动和原边MOS，主要是解决ringing问题，减小寄生电感，提升效率。大小控制在15\*10cm以内，原边目前二层板，副边四层板，整板设计四层板。
* 电感封装，尽量容错性大些，适合替换不同的电感
* 变压器封装，尽量适合装卸，选择原来的端子，但是画适合的封装，端子嵌入PCB。不用端子嵌入了，因为占体积，而且固定变压器之后并不需要频繁拆卸安装。
* 驱动信号，是DSP直接排线连接，还是单独做一个DSP板子两个板子再连接？单独做一个DSP板子，主要是实现信号完整性，目前还不需要ADC采样，可以直接排线连接。但为了更完美的设计，可以单独做一个DSP板子，便于后期做ADC采样等功能的拓展。
* DSP可以用单排的排线，不需要杜邦线嫁接，更牢靠。但是目前的DSP的GND不在PWM信号一排上。不需要再换DSP，直接在集线器上做一个需要的2\*8的接口，因为在集线器上可以随意接线，而不影响信号完整性。不需要2\*8接口，直接用1\*8排线更可靠。
* 加上数字隔离器更保险，将所有数字信号地与功率地隔离。
* 加上buffer，加缓冲减小crosstalk 带来的 ringing，保证PWM信号的稳定
* 如何选合适的原边低压MOS，寻找可靠的参考设计。之前实验结果合适的MOS是IPA105N15N3 G，还有八个够用，且导通电阻低，驱动目前无串扰。
* 如何选择合适的驱动，之前实验合适的buffer是ZHY用的SN74AHCT1G125DBVR，与第一版本没有问题的副边Buffer SN74LVC2G17DBVR对比。第一版的Buffer更好，一个buffer有两个信号，节省器件。
* 0515用之前实验的，体积更小。

20241022

* 上完英语听力课，听懂逻辑和信号词
* 画完板子并送出打板
* 电容封装问题，用更小的封装还是，原封装，更大但是可以更贴合板子。考虑到布线的面积，还是用小的封装即电解电容的封装。
* 打印一下pengchuhan帮忙打印板子的发票
* 第三个端口的电感数值暂定33uH，受限条件待查
* 副边MOS之间留出0.8cm间距给散热片。
* 在MOS的DS管脚铺上禁止区域
* 副边加入buffer和数字隔离器，原边也加入数字隔离器
* 布局已完成，需要把细节完善。

20241023

* 晚上跑步
* 凌晨画板子，已经布局结束，还需要完善细节，想办法画的更小，明天一定要画完
* 论文也要写完，先用ai写一版本，尽量打好基础，后期没时间再改论文了

20241024

* 继续画板子，赶紧完工
* 开始写论文
* 完成更新布局

20241025

* 继续完善板子，布局完成，铺地和连线还需要加上
* 隔离还需要加上
* 头疼，下午休息一下
* 外层内层是否要加铜厚，不需要，直接加宽度即可
* 画到两点还是没画完，周日晚上继续画，周日晚上一定送出

20241026

* 运动会
* 过生日
* 完成作文作业

20241027

* 作文课
* 口语课

20241028

* 听力课
* 画板子并送出打板，预计10.30晚发出，10.31到
* 完成之前订阅的论文阅读和分类
* 完成论文统计表格，再修改雷达图。表格中的增益如何定义，三个端口，那么取最高值。Groupmeeting 20240312有表格和图。
* 陶瓷面试暂时不联系，本周可能要更多时间准备托福考试，若不考再联系教授约时间
* 修改移相示意图和关键波形图
* 修改光伏板图
* 写完intro
* 完成演讲稿撰写
* 找intro的引用数据，强调重要性。主要是并网光伏的背景，次要是车顶光伏的背景。两者都需要双向回收功能。
* 继续写intro和全文
* 20241029
* 控制变量的数量用于比较控制的复杂性，桥间移相
* 演讲稿主题已定好，完成演讲稿和ppt制作
* 继续完成review
* ISOP仿真和可能的进一步的控制研究
* 考虑到现有的设备，只做两个模块串联的实验，输出电压到达1200V，功率暂定1kW
* 修改图片
* 损耗计算Loss Breakdown
* 已完成文章review统计
* 接着写intro

20241030

* 接着写intro
* 找一个合适的photovoltaic panel 图片
* 输出了review表格
* 做完了面试ppt
* 还需要画损耗图
* 加上仿真或其他可行性分析

20241031

生日快乐

* 完成intro图和工作模式图的修改

20241101

* 组会
* 阅读课
* 作文作业
* 听力作业
* 模考
* 周日再继续完成画图，修改ZVS范围图

20241102

听力课

阅读课

20241103

作文课

口语课

20241104

阅读课

作文作业

写作课

* 焊板子

20241105

* 口语课
* 阅读作业
* 打球
* 阅读课
* 美化模式图，只画一个converter，混合模式再分开
* 美化intro图，只介绍三端口。因为IIOS没做。
* 驱动没问题，继续上电，不着急打新板。
* 先做实验得到实验图（包括三端口的实验和反向的实验）
* 逐步完成论文，先完成三端口intro。
* 变结构的部分也可以推进和撰写。

20241106

* 阅读作业
* 听力作业
* 托福不改考
* 完成了演讲稿和ppt
* 画图修改好了模式划分图
* 晚上模考
* 明天早上完成阅读测试和听力试听课的测试
* 下午试听课
* 完成实验测试
* 完成三端口intro的图
* 写论文
* 背作文

20241107

* 上午听CPES宣讲
* 中午完成听力作业
* 下午听力课
* 完成阅读测试

20241108

* 背托福单词
* 润色作文
* 背诵作文
* 回顾课堂笔记
* 背过去两年出现的阅读单词
* 完成一套作文和听力和口语
* 考试幸运

20241109

* 下午试听阅读课，不合适
* 晚上聊天和做实验
* 驱动正常，但是输入信号错误，1234和5678连反了

20241110

* 进博会参观
* 晚上模考托福一套

2024111

* 做实验做完和写完论文
* 晚上再做一套TPO
* 改正dsp输出信号顺序，最直接的就是改正56相对于12和移相，讲100改为900即可。
* 但是目前在移相过程中是谐振衰减的震荡，测试点错了，测成隔直电容之前的点位，更正后正常
* 直接上800V590W完全没问题， 还是95.7的效率，最高效率大概在半载380W附近，最高效率超过96.12.这些都是在0.1移相下的效率的工况。
* 接下来减小移相提升极致效率，移相减小到0.05，效率达到96.65，功率336W。按照比例再次减小电感，之前是22+36uH=58uH，改为0+36uH，527W，效率96.93。
* 下一步的实验内容是不同工况下的效率曲线，先做正向的实验，再做反向的实验
* 可以继续缩小移相至0.03，先不那么激进，先测试0.04，效率有些许提升，97.00，波形也更好看了
* 做三端口的实验，先做交错并联boost的实验，再做三个端口的实验。
* 直接加上三端口的实验。
* 先把500W分析清楚，把实验和理论结合起来对照清楚，在考虑拓展方向和提升功率
* 今晚最后上的是移相0.045的500W实验，97.074效率。从97.04提升了0.03个百分点。是通过计算原副边软开关的条件，再改正死区时间实现的。原边MOS是IPP075N15N3 G，Coss是638pF，但是根据Vds对Coss的影响取值在Vds=Vin/2=25V附近，Coss取值3500pF，但是考虑到电容能量，对其进行积分，取值约为5000pF，计算震荡周期230ns（也可能是因为230ns中少了2少算了2\*5000pF），但是实际上实验结果在90ns左右即可ZVS结束了，所以最后死区取值100ns。副边的Coss是2\*95ns，L是35uH，计算死区是120ns，实验中直接设置12ns死区（实际上之前的硬开关表明90ns也应该是足够的）
* 明天继续测量其他D的数值和三端口的实验，加上光伏模拟电源。

20241112

* 上午听力测试，还是很不理想，错了10道左右，得分18
* 测试其他调制比的实验，效率最高97.5
* 继续测试剩余的调制比
* 继续上三端口进行实验
* 阅读参考TI的 MPPT 的设计，实现第三端口的光伏端口的最优效率
* 移相波形变化可以用不同透明度的颜色从红到绿色表明优化过程
* 明天上午做一套TPO，下午实验和论文，晚上面试和演讲

20241113

* 光伏或电池或新能源背景需要数据支持
* 先写完再修改

20241113

* 继续写论文
* 做实验三端口和两端口的其他调制模态
* Intro介绍不仅有光伏的高压并网结构，还有车顶光伏应用还有光储超充应用
* 查找离散三端口的文章
* 画效率曲线，自变量是移相，分两个电感画
* 段落都改成主题中心句加论述解释句的格式，即论点加论据的格式
* 找之前的论文review的ppt

20241114

* 占空比为0.4/0.6的情况，效率不是最高
* 第三端口交错并联boost电感需要增大，目的是减小注入的环流。当前在移相0.06和0.05的情况下，效率不高只有95%，而且出现了ringing。
* 20241115
* Xuebo博士答辩
* 组会汇报
* 晚上休息
* 20241116
* 继续写论文，实验等电源再做
* 先把论文邮件推送的线挑出来。再仔细整理之前的intro文章，今晚必须把intro写完。
* LLC或CLLC或LCC等谐振拓扑的优劣，双向场景下LLC或LCC不对称，反向时需要重新设计原副边的调制方式，CLLC虽然对称但是谐振变换器的调压性能受限，只能工作在固定频率即谐振频率附近。DAB调制简单。元件少。
* 拍照的时候跟尺子或者笔对照着拍照
* 功率控制由调制实现，PWM（调压（有功率调整的作用吗））和PSM（原副边）
* 三端口功率分配对应需要做几个实验。另外需要包括不同工作模式的切换实验。
* Intro的图画三个双向，凸显多向流通功率的优势
* 倍压层级的选择考虑，是器件数量和升压倍数的优化结果
* Intro的高压介绍部分可以参考high gain TPC的介绍
* 画出Voltage step-up gain和down gain的对比图，横坐标可以是D或phi
* 画出不同DAB电感和变压器励磁电感与功率或功率分配的关系
* 效率曲线需要不同工作模式的效率曲线。同时需要跟其他工作的效率曲线进行对比。
* 要凸显增益，需要画出增益与D和phi的关系
* 文章M. Zhou, C. Liu, R. Xie, Y. Zhuang, X. Mao and Y. Zhang, "A High-Gain Three-Port DC-DC Converter with Soft-Switching for Renewable Energy System Applications," in IEEE Transactions on Power Electronics, doi: 10.1109/TPEL.2024.3481470.的第16到30篇引用均为高压三端口，需要整理
* 全球光伏行业正经历前所未有的增长，2023年可再生能源新增装机容量超过560吉瓦，其中光伏发电装机容量显著增加，预计到2030年将达到近10000吉瓦。每年接近2万亿美元的投资流向清洁能源项目，光伏技术因其成本效益和环境友好性成为投资热点，新冠疫情后光伏成本下降，进一步推动了其在全球能源系统中的融合。 International Energy Agency, "World Energy Outlook 2024," IEA, 2024. [Online]. Available: <https://www.iea.org/reports/world-energy-outlook-2024>.
* 资料可以是kolar的关于变压器的ppt：D:\BaiduNetdiskDownload\ETH PES Solid-State Transformers
* 继续看邮件推送的论文和写intro
* 20241117

20241118

* 需要提升地电感至100uH，先查找合适的封装电感，没有再考虑自己绕，因为只要考虑电感值和饱和电流
* 实验室现有的电感，功率电感，CODACA的VSRU2716 100是10uH，VSRU2716 150就是15uH。大铜线电感是1MuH即1mH。SER2918H223是21uH。
* 直接串联两到三个33uH的电感。或者直接购买合适的电感。
* 目前的33uH的电感CSBX2212-330M 饱和电流22.00A完全够用。电感CSBX2212-470M 饱和电流18.50A 够用。目前只需要平均电流10A，峰值12A。

20241119

* 已连接第三端口
* 已经搭好试验台
* 测试0.4占空比的剩余情况和0.3占空比的情况
* 先测试BOOST情况
* 再测试三端口的情况
* 晚上复习行测和申论

20241120

* 完成申请
* 演讲AI和教师（效果并不好，虽然ppt做得很好，但是稿子很不熟练，演讲很不流畅，下周中文演讲讲同样的话题，讲电力电子）

20241121

* 听力课一节
* 添加渐近色块
* 制作prototype爆炸图
* 可以从kolar的ppt里寻找灵感，完善毕业论文的章节，比如“**Multi-cell SST (ISOP) for datacenters presented by** [Kashihara, APEC, 2017]”
* 用地形图画效率图，叠加ZVS面的区域，用线（等高线）和面（ZVS面，RMS面）来分割透视的立体效率图。地形图本质上可以多加一个维度，二维等高线图展示了三个变量，三维就是第四个变量。
* 地形图也可以分目标展示结果，对于：ZVS范围、rms电流、增益等目标分别画二维（D和Phi）的等高线图
* 修改之前计算的ZVS范围和RMS大小，应该是计算了不同的D但是没有更新ZVS的图，ZVS的图还是按照D-0.5的绝对值画的
* 20241122
* 组会
* 党务
* 20241123
* 20241124
* 电影两部《胜券在握》《当幸福来敲门》
* 完成口语作业
* 20241125
* 之前计算ZVS范围只计算了两端口的情况，加入三端口计算再修改算式结果和作图结果。虽然加入了地三端口第三端口占空比调制使其输出电压不变，关键电压波形不变，电流波形就还需要加入第三口注入的电流。地三端口为交错并联Boost，电压的输入和输出、电感已知，求输出电流
* Matlab计算RMS电流：在mode.mlx中，先手动输入各个模态的电压除以电感乘以时间长度，输入得到的结果是电流变化值，例如“I1=simplify(I0+(2-2\*D)\*V\_p/L\_s\*T\*varphi);”。再用前一时刻值加上变化值得到现在时刻值，例如“I=0.5\*(varphi)\*(I0+I1)+0.5\*(0.5-varphi)\*(I1+I2)+0.5\*(varphi)\*(I2+I3)+0.5\*(D-varphi)\*(I3+I4)+0.5\*(0.5-D)\*(I4+I0)

I\_0=-simplify(I)

I\_1=simplify(I\_0+I1)”

但其中需要输出初始时刻的电流值，初始时刻的电流值通过计算平均电流值得到。

经过更改得到modeTPC2的程序，按照其中的注释更改即可。

IRMSVSphiandD.mlx的Z轴数据即irms电流是哪个程序计算出来的？

* 完成设计海报和ppt准备

20241126

* 搭试验台，电源短路，待维修，尝试更换电源，没有合适的。400v太低。另一台800v不能快速关断，不安全。
* 把图像美化和更正之后再下班
* 已过一遍演讲
* 删除之前的不完全考虑的ZVS式子，用//再mathtype中表示注释
* D大于0.5的情况为什么之前没考虑，因为D关于0.5对称，所以D的出现都是伴随0.5，出现为D-0.5的绝对值
* 已完成ZVS式子更新，在TPC equations3\_ZVS.eps，待画图

20241127

* 同时实验和论文还要推进，这是毕业的要求也是未来职业生涯的要求，也是为了保证即使能早出国也要完成任务的要求
* 继续计算ZVS范围和调制策略，比如三电平的ZVS优势
* 加入第三端口，目前控制的是占空比来控制电压那么电流功率要怎么控制，注入的电流对ZVS rms有什么影响
* 更新一下COP29的环境和碳排放数据
* 更新ZVS范围图，得到三电平等其他模式的调制优势
* 签证申请过程：
* 做实验整理组会ppt

20241128

* 为什么没考虑软关断
* 画模态图，副边输出为电源还是负载。只描述一个方向，画负载。
* 可以先不画过多的工作模态分析，画出关键的ZVS条件计算图
* 占空比变换，对应的移相不是dsp的移相，要以两个波形对应的上升沿之差为移相
* Boost情况调制有ripple可能是硬开关或者是谐振，另外环流很大效率很低，ilk的值很大
* 整理两端口的数据

20241129

* 组会
* 做实验，三个端口实验不好做
* 熬夜写推文

20241130

* 白天团建
* 熬夜写推文

20241201

* 国考 晚上休息

20241202

* 20241203
* 上午签证办理
* 下午完成推文
* 继续推导Boost的工况，和三端口工况
* ~~20241204~~
* 完成论文和实验
* 三端口加入交错BOOST为什么流行，除了对减小纹波有效果，对ZVS范围有什么影响

20241204

* 可以每次更新添加了论文就更新bib
* Review of Multiport Converters for Solar and Energy Storage Integration介绍阳光的不连续性，和多种工作模式
* 添加分立三端口

20241205

* 添加更新添加集成三端口的控制或其他优势，简化系统结构、减少原件数量和降低成本
* 如果波形很多，如果每个波形中都给出纵座标标尺，可能会使得字符比较拥挤，甚至会压到波形。此时波形中可不给出标尺，标尺可在图说中给出。
* 论文写作是对自己研究工作的一个总结，也是研究过程的一个重要组成部分。
* 发表论文是对本领域学术界和工业界的贡献，有利于建立自己的学术地位，提升自己的自信。
* 学术论文贵在创新性，重在准确性、系统性、完整性，要清晰而简洁，尤其要注意写作规范。
* 签证进度更新Refused-1205
* 推文转载任务
* 为什么半桥整流的二极管耐压是全桥的两倍，例如中心抽头的半桥整流，对管二极管开通的时候，变压器副边带来的负压加上对管导通带来的正压，加起来就是两倍。
* 20241206
* ~~拓扑的衍生过程，二三四五六倍压，~~四倍压的优劣
* 描述各个工况的拓扑
* Workingmodes的详细计算电流等数值
* ZVS和XXX
* Reconfiguration的分析
* Parameter consideration
* 实验图：各个工作模式。重构工作模式，模式切换实验
* 先完成intro，再完成主体部分，然后是结论，再更新intro，最后确定题目
* 图片字体用新罗马10pts，按比例缩放
* 图片细线条3pts，强调用5pts。
* 工作的元器件用实线，不工作的用虚线(10#线型较为美观)。
* 有规律的线型尽量准确，比如正弦波形，可以利用Mathcad软件绘出，再copy到Visio里编辑
* 工作波形用实线，5pts；用来标注的线型用10#虚线，3pts。
* 20241207
* 期刊引用IEEE TPEL格式，仅仅用Trans格式还不够
* 没有显示期刊名称是因为journaltitle要改成journal
* ~~把网址去掉~~√
* 加上时间 手动
* 期刊名字改缩写 手动
* 20241208
* IEEE Transactions on Power Electronics->IEEE Trans. Power Electron.
* IEEE Transactions on Industrial Electronics->IEEE Trans. Ind. Electron.
* IEEE Transactions on Energy Conversion->IEEE Trans. Energy Convers.
* IEEE Transactions on Industry Applications->IEEE Trans. Ind. Appl.
* IEEE Journal of Emerging and Selected Topics in Power Electronics->IEEE J. Emerg. Sel. Topics Power Electron.
* IEEE Open Journal of Power Electronics->IEEE Open J. Power Electron.
* IEEE Open Journal of the Industrial Electronics Society->IEEE open j. Ind. Electron. Soc.
* IEEE Journal of Emerging and Selected Topics in Industrial Electronics-> IEEE J. Emerg. Sel. Topics Ind. Electron.
* ~~把网址去掉-~~Bib文件开头加上：

@IEEEtranBSTCTL{IEEEexample:BSTcontrol,

CTLuse\_url = "no",

}

* Boost模式，硬开关明显，上管容易ZVS，下管硬开关。没有计算直接上电，占空比为0.5
* 先用不同占空比看硬开关情况：1、3管硬开关，上管硬开关
* 目前谐振是122ns，占空比为0.4/0.6，在1、3管硬开关时刻ds和Vout幅值同时同相位震荡，2、4管的硬开关不明显。也可能不是硬开关，毕竟Boost的上管容易ZVS，可能是过ZVS，电感取值过大，给Coss放电的能量过大。当初为什么要很大的Boost的电感？
* Mode1的Boost电感电流不为负，因为PV源不作为载，更改仿真图
* 额定工况时， 电感的能量是Coss能量的十倍，先减小电感，80u改33u，
* 先不改，直接上三端口实验看看硬开关效果，毕竟目前是有可能ZVS的，只是过度ZVS了
* 上D=0.4/0.6，移相为0.02的实验，之前的二端口效率较高，目前三端口实验很成功，至少效率很高，就是需要功分第三个端口进行测试

20241209

* 完成实验和论文，继续完成三端口的实验，虽然目前不明白功率是如何分配的，但是电压可以调控，按D调控。
* 应该测那些波形：
* 1.交错Boost 的波形，两个交错Boost的电流il1、il2，以及输入的电流即iPV的电流
* 2.二端口的波形，正向（Vbat=50V，Vcd=800V，Pdc=800W）和反向（Vbat=50V，Vcd=800V，Pdc=-800W可降低）展示vab、vcd、ilk、il1（可选），以及展示ZVS波形ds和gs，通过该管的电流，ilk（可选）
* 3.三端口的波形，展示il1、il2、ilk、vab、vcd，以及展示ZVS波形ds和gs，通过该管的电流，ilk（可选）
* 4.暂态切换模式，升和降，某个模态的功率上升过程，某两个模态的切换过程
* 5.测试变结构400V的波形和效率
* 6.损耗分析
* 7.设计分析
* 三端口的电压很难控制，目前的调控原则是按占空比调控PV端口和bat端口，dc端口可以第三个调整，因为dc端只作为载，不会反向不会损坏管子。
* ~~添加风力发电机或光伏逆变器的输出电压引用~~
* ~~添加800V的应用，车顶光伏~~
* ~~添加高压直流的方案，没提及~~
* ~~添加三端口综述和趋势~~
* ~~添加三端口的分类~~
* ~~添加三种三端口的介绍，详述优劣~~

~~全隔离：SRC+DAB（daoHighEfficiencySiCBasedlsolated2020）~~

~~半隔离：BOOST+LLC（liLCCResonantTypeCurrentFedOutThreePort2024）~~

* ~~添加半隔离三端口的优势，引用半隔离三端口的综述文章~~
* ~~需要引用介绍各种升压方式(BOOST,STACKED BRIDGE，Dickson Voltage Multiplier Cells)，倍压的优劣，指出其中倍压方式最为亮眼~~
* ~~交错并联的拓扑可以不单独写出来，可以跟半集成三端口一起写，因为半集成三端口都有交错并联结构~~
* ~~全桥/DAB的优劣~~，没提及
* ~~重构的优势~~
* 20241210
* CockcroftWalton (CW) voltage multiplier, which is similar to the G-VMR but was invented separately years after and earned its inventors the 1951 Nobel Prize in Physics [29], [30]

Full-wave: Full-wave VMRs, another well-known type of independent boosting stage, are commonly employed at the output stage of transformer-based converters

The VMR in Fig. 14(b) is a quadrupler voltage rectifier that is considered to be a useful boosting stage in modern dc–dc converters owing to its balanced voltage stress on both capacitors and diodes

* 用二维图展示所有工作的对比，可以是功率和效率两个维度，加上电压等级三个维度
* 注意检查“high-voltage applications such as”之后的引用中，在详细介绍的时候没有提及的引用可删除
* 可以用线路图展示intro的逻辑，加上各个拓扑图的进化和选择取舍
* 连续引用多个文献的格式，先不改，看期刊要求自己编辑或编辑编辑。
* ~~Voltage multiplier cells (VMCs)，voltage multiplier (VM)和Voltage multiplier rectifiers (VMR)用哪个好。~~保留了VQR，因为这是重点。
* 20241211
* 上午完成了第一次intro的终稿
* 下午做实验。
* 应该测那些波形：
* 1.交错Boost 的波形，两个交错Boost的电流il1、il2，以及输入的电流即iPV的电流
* 2.二端口的波形，正向（Vbat=50V，Vcd=800V，Pdc=800W）和反向（Vbat=50V，Vcd=800V，Pdc=-800W可降低）展示vab、vcd、ilk、il1（可选），以及展示ZVS波形ds和gs，通过该管的电流，ilk（可选）
* 3.三端口的波形，展示il1、il2、ilk、vab、vcd，以及展示ZVS波形ds和gs，通过该管的电流，ilk（可选）
* 4.暂态切换模式，升和降，某个模态的功率上升过程，某两个模态的切换过程
* 5.测试变结构400V的波形和效率。（重构的相同调制方法：Reconfigurable LLC Resonant Converter for Wide Voltage Range and Reduced Voltage Stress in DC-Connected EV Charging Stations Yu Zuo, Student Member, IEEE, Xiaobing Shen, Student Member, IEEE, and Wilmar Martinez, Senior Member, IEEE）
* 6.损耗分析
* 7.设计分析
* 8.效率的图例，文章中有的按工作模式工作拓扑分列；按仿真和实际对比分列；不同调制分列；按占空比分列（Shashank Kurm, *Indian Institute of Technology Bombay*, *TIA*, 2022；Extended-Phase-Shift Control of Isolated Bidirectional DC–DC Converter for Power Distribution in Microgrid Biao Zhao）；拿其他文章描点对比（Optimized Hybrid Control for the Current-Fed Semi Dual-Active-Bridge DC–DC Converter Deshang Sha , Senior Member, IEEE, and Yichao Fu）；不同开关频率的分列（Reconfigurable LLC Resonant Converter for Wide Voltage Range and Reduced Voltage Stress in DC-Connected EV Charging Stations Yu Zuo, Student Member, IEEE, Xiaobing Shen, Student Member, IEEE, and Wilmar Martinez, Senior Member, IEEE）;双向的效率对比分列（ZVS–ZCS High Step-Up/Step-Down Isolated Bidirectional DC–DC Converter for DC Microgrid）；分工作模式分轻重载分列（A Step-Up Reconfigurable Multimode LLC Converter Module With Extended High-Efficiency Range for Wide Voltage Gain Application in Medium Voltage DC Grid Systems）
* 本文章的预期效率图正反向两个图，两个重构800V和400V分列，横坐标是功率，纵坐标是效率（可以不按D分列，只列出最高的效率对应的D）
* 可以画效率图了，只剩反向和变结构模式还未验证，明天全部做完，并且画图（三端口模态分析图，intro的ppt展示图，ZVS范围图和irms更新）
* 三端口实验测试的四个波波形分别是vab、ilk、il1、il2
* 20241212
* 要如何展示多个工作模式，简单的是说明，利用intro的三端口简图说明
* 还差几个工作模式，先测试0.3/0.7的三端口模式，还有BOOST模式，不测试vab，硬开关明显，测试il1、il2和iin（尝试副边不给信号，只原边工作的情况）
* ~~反向工作模式，反向测试效率~~，
* 变结构测试模式
* ~~整理效率图，三端口的图例是光伏端的电压~~
* 画拓扑模态图
* ~~画正反向功率图~~

20241213

* 上午组会
* 下午推文
* 修改文章，以及撰写主体部分，晚上做反向和重构实验，哪个安全做哪个
* 效率图修改在1213结尾的文件中
* 效率图还可以加上变压，宽范围效率

20241214

* 画完模态图，
* 画完控制图闭环图或策略图
* 修改主拓扑配色
* 完成重构实验
* 完成反向实验
* 写完论文
* 画波形图，四合一或者只画一个

20241215

* 画最多模态的波形图。展示最全的工作状态
* 画各个模态图

20241216

* 更改波形长度，只展示包含一个整周期，不超过两个周期
* 更改ZVS图配色的饱和度

20241217

* 准备上电，之前电容热炸，但管子可以工作，但在死区有导通，怀疑体二极管坏了
* 待处理Lehigh healthcare forms
* 对于MOS1，辅电会给S1的Coss充电，红表笔接S，黑接D，会有短暂放电，放电之后就没了
* 电感电流有短暂的震荡，怀疑是辅电给S1的Coss充电之后，在S2导通的时候，这个电被放掉了
* 如果S1 的二极管没坏，vDS为正，如果坏了，vds可以为负，
* ⅠⅡⅢⅣⅤⅥⅦ
* 重构的dsp信号调好了，但是原副边没功率，初步判断是电容值不够大，一个上桥长通，一个下桥PWM，PWM导通时电容被放电，目前的解决办法是增大电容值，在100kHz的周期10us内电不会被放完。另一个原因是一对管子常闭，只走体二极管，这样才能保证不放电。
* 仿真以上情况，vcd仿真异常，应该是原边的方波放大而来，目前是周期的脉冲。尝试将负载换成电阻而不是电源。换成电阻后，vcd无电压，为什么？首先不是负载大小的原因。
* 原边半桥的重构，放弃，因为半桥相同功率的电流更大，低压侧的MOS容易发热。另外pv端口是对称结构，用一组桥臂就没有减小纹波的优势。
* VQR还是VQ cell，因为毕竟是双向，只说rectifier还不够，还有inversion。
* 同时强调VQ：“High-voltage conversion gain is achieved in the proposed converter at reduced turns and duty ratios by integrating galvanic isolation structured flyback energy conversion circuit to the resonant switched voltage quadrupler cell.”

（**kothapalliZVSZCSHigh2023a**）

* 强调变压器漏感实现ZVS，同时减小了ringing or voltage spikes.
* 同时还可以强调低压侧的MOS应力也更低，就可以用更低电阻的MOS，减小损耗
* 再想一下硬开关能否解决成为ZVS，或者拓宽ZVS范围，计算其他调制方式的ZVS范围
* 强调输出电容的稳压减小电压纹波作用“capacitors C3 and C4 are also utilized to diminish ripple in the grid-side voltage source (VH ).”
* 20241219
* 重构不能仅仅通过调制实现，C3和C4的相邻MOS不能同开，之前想的是一个常通S7一个常闭S5，想用的是是常闭的MOS体二极管，但是只要体二极管导通C3电压就等于体二极管压降，无法升压。本质上来说，在所有倍压电路中，每个二极管的作用就是钳位对应的一个电容，要实现二倍压，减少MOS的同时，也要减少电容的数量，所以要实现二倍压的重构，需要断开C3和C4。
* 堆叠桥是有挺多重构的（例如zuoReconfigurableLLCResonant2024，通过堆叠桥调制实现了全桥半桥的重构，副边用被动四倍压加额外开关实现了二倍压重构，从而理论上有四种电压等级）
* 想个好题目
* ~~删去应用这一段~~
* ~~低压侧和高压侧分开来写~~，低压侧的结构也可以说说进化史
* ~~大小写的下标，统一即可，统一下标小写~~

20241222

* 还有四个小时，写完主体部分，算完总体损耗，画完控制图，利用现有实验展示，缺少的图再补充
* irms varies from D and phi
* Comparison With Existing Reported high-voltage-gain TPCs

20241223

* 总结别人拒稿意见，更改自己的论文。
* 综述要完整，已经做
* ZVS分析要详尽，可以做
* 损耗分析，可以做
* 器件选型，参数选择，可以做
* 轻载情况，可以做
* 控制框图，可以做
* 计算交错电感电流。可以做
* 生成Irms图像
* 生成fP（D，phi）图像
* 画控制框图
* 拍样机
* 20241224
* 效率思路：总损耗，权衡ZVS范围和rms数值，择中选最D and phi，达到最优效率。
* Rms已算出来，zvs需要考虑各个D和phi，而不仅仅是第二种D和phi的范围
* 算出来之后对硬开关加导通损耗求和，对于D和phi的关系，再求最小损耗值，才是最优效率点
* ~~控制框图，~~

首先是输入是各个端口工作不工作，

dc（Pdc=0）不工作导出模式一，

bat不工作（Pbat=0）导出模式二，否则其他模式，

PV 不工作（即Ppv=0）模式三，PV工作导出其他模式。

DC小于零工作在模式三的forward，大于零工作在模式三的反向和模式四

Pv功率大于dc功率导出模式五，

Pv功率小于dc功率导出模式六

* ⅠⅡⅢⅣⅤⅥ
* P vs D 和phi 不连续，进一步查明原因
* 不画D大于0.5，或者画也行，因为要表示高升压比，就要显示出D于vpv的关系，
* 分析ZVS，先分析模态三的有双向的，原副边，用调制表示ZVS范围
* 再分析三端口的，用PV功率和电池功率表示ZVS范围
* 画升压比图像，关于D和phi的
* 可以最后加上损耗分析
* 20241229
* 加上烤机图温度图
* 修改完成拓扑图
* ZVS分析完成
* 模态切换图
* 该拓扑选MOS的优势
* 损耗分析可以不写
* 20241230
* 在介绍倍压拓扑前加上其他升压拓扑
* 完成ZVS分析和画图
* 完成所有文章内容的写作
* 20250102
* 取名为DAB，是可以的，副边是Active VQC
* 20250103
* 直观地看二端口的ZVS范围，在电压匹配M=1的情况下ZVS范围无交集，在提升1/M，即降低M的情况下，ZVS有交集，M是独立变量，所以可以控制M来调整ZVS范围，
* 加上第三个端口，直观上加强了上管的ZVS范围，因为上管的体二极管的方向和第三端口的电流方向相同，削弱了下管S2和4的ZVS范围，与定量分析一致。
* 关于第三端口主要是ZVS分析，之前的分析关键在于功率，现在的
* 可以参考wanglaing的ZVS表示在功率上，也可以参考zhanghaoyu的功率表示在ZVS上
* 20250105
* Irms解析式可以在附录里表示，正文先不写，有需要再加上
* DAB的增益要如何表述和展示，高增益的特点要如何突出
* P\_N=\frac{nV\_{bat}V\_{dc}}{8f\_sL\_k}\\
* n=4\\
* V\_{bat}=50\\
* f\_s=100k\\
* L\_k=30\*10^{-6}\\
* V\_{dc}=800\\
* \sigma= 2D^2 + 4D\varphi - D\\
* L=80\*10^{-6}\\
* I\_{ZVS2}=0\\
* M=1\\
* Pbat跟Pdc的趋势一样，后面几项（IN）没体现出来，Pbat跟Pdc的趋势一样可以理解，毕竟输入和输出功率，但是Ppv的大小影响被忽略了。确实没加IN导致Ppv过小。减去pdc画出Ppv的图像就可以看出趋势，不加IN的Ppv范围为-100到750W，（虽然不是直接计算的Ppv大小，而是Ppv为自变量的ZVSboundary），加上IN的范围为-2000到13000W。分case的式子错误，修正后Pbat正常，范围是-1500到6666，接着归一化，以输出功率为标称值。
* 大部分Pbat,N输出为零，只有在D和phi都接近0.5的时候有负数值，范围正确就是绝对值小于1。
* 20250113
* 写完intro，主要是更新升压整流方案的介绍
* 实验图补齐，主要是模式一和ZVS图和功率切换工作模式切换图，其次是模式二和模式五，，
* 其次重要的还有模式六的硬开关问题
* 其次还有AI和电力电子相关论文
* 控制和电力电子相关论文
* 光伏微网和电力电子相关论文
* 次要：对比被动VQC的效率
* 不用voltage gain可用**Voltage conversion ratio** of the proposed converter. 思考如何表示M与D和phi的关系。但之前的论文都是谐振条件推出的
* 20250114
* 已完成模式一
* 接着完成ZVS，已完成原边ZVS
* 20250115
* 已完成副边ZVS
* 模态切换需要测量的波形：pv输入功率变化：ipv，il1，il2和il 模式六
* 需要测量的切换状态：模式六到模式三，展示vab，vcd和ilk和il1
* 已完成pv输入功率变化的切换，直接调整pv电压，Boost的电感电流变化，达到功能功率上升目的
* 20250116
* 完成模式切换和效率测量
* 最后补一张模式1的交错图，但是原边MOS出问题了，管子都是好的，但是vab异常，初步判断是辅电的问题，rigol的功率不正常
* 明天完成论文
* 20250121
* 调研ZVS Boost
* 调研控制方向建模方向
* **面向MVDC微网集成的模块化高压光伏系统设计与优化**
* **面向MVDC微网集成的模块化光伏系统高效能量转换、ZVS与调制优化研究**
* **模块化光伏转换器在MVDC微电网中的应用与比较研究**

王老师，我拟定的中期题目和师兄修改之后的小论文，已将拟定的三个中期题目和师兄修改后的论文及相关文件上传至周报文件夹，路径为：\共享资料库\PEARL\2. Weekly Report\2024.3 Fall\20250119\Yuchong。请您有空时过目，方便的话也可以讨论一下。

* 面向MVDC微网集成的模块化高压光伏系统设计与优化
* 面向MVDC微网集成的模块化光伏系统高效能量转换、ZVS与调制优化研究
* 模块化光伏转换器在MVDC微电网中的应用与比较研究20250122
* 统一M和1/M（暂时不改，美观原因，改了就有断面）
* 模态图加罗马数字（暂时不改，加入不美观）
* 设计堆叠桥三端口